

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-213874

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

H01L 23/538

H01L 27/01

(21)Application number : 08-021516

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 07.02.1996

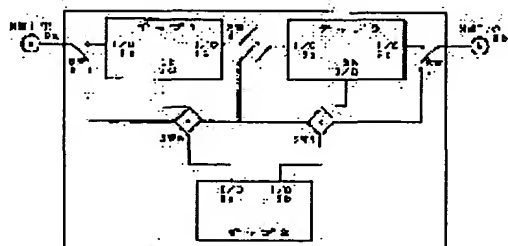
(72)Inventor : TAKAMATSU MAKOTO
SAITO HISASHI

(54) MULTI-CHIP MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To make sure that each chip out of a multi-chip module is normal after the multi-chip module is formed.

SOLUTION: Switches 4 to 8 are provided between the I/O terminals 1a to 1c, 2a, and 3a to 3c of chips 1 to 3 and between the I/O terminals 1a to 1c, 2a, 2b, 3a to 3c of the chips 1 to 3 and outer I/O terminals 9a and 9b. The outer I/O terminals 9a and 9b and the I/O terminals, the I/O terminals 1a to 1c, 2a, 2b, and 3a to 3c of chips 1 to 3 are connected together through a required path by a combination of the switches 4 to 8 which are selectively turned on or off, and the I/O terminals 1a to 1c, 2a, 2b, 3a to 3c of the chips 1 to 3 are connected together also through a required path taking advantage of the above combination of the switches 4 to 8, whereby each chip of the semiconductor chips 1 to 3 can be connected to the outer I/O terminals 9a and 9b.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-213874

(43) 公開日 平成9年(1997)8月15日

| | | | | |
|---------------------------|-------|--------|---------------|--------|
| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 23/538 | | | H 0 1 L 23/52 | A |
| 27/01 | 3 0 1 | | 27/01 | 3 0 1 |

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平8-21516

(22) 出願日 平成8年(1996)2月7日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 ▲高▼松 信

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 齋藤 久志

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

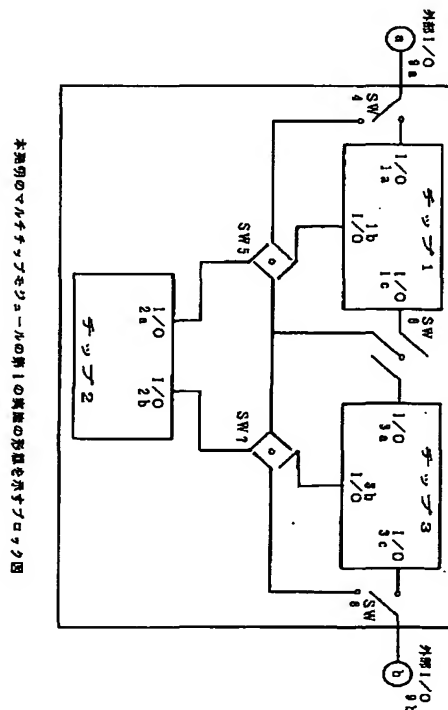
(74) 代理人 弁理士 金倉 喬二

(54) 【発明の名称】 マルチチップモジュール

(57) 【要約】

【課題】 マルチチップモジュール作成後に、チップ単体レベルで正常性を確認可能とする。

【解決手段】 チップ1～3の各I/O間、および各チップのI/Oと外部I/O 9a, 9bの間にスイッチ4～8を設ける。これらスイッチ群のオンおよびオフの組み合わせで、外部I/O 9a, 9bと各チップのI/O間および各チップ間のI/O同士を所望の経路で接続できるようにして、チップ単体で外部I/O 9aおよび9bと接続可能とする。



【特許請求の範囲】

【請求項1】 2個以上のチップを1つのパッケージにケーシングしてなるマルチチップモジュールにおいて、各チップ間および各チップと外部端子の間にスイッチを設け、前記スイッチ群のオンおよびオフの組み合わせで各チップ間および各チップと外部端子の間を接続することを特徴とするマルチチップモジュール。

【請求項2】 請求項1記載のマルチチップモジュールにおいて、前記スイッチ群のオンおよびオフを組み合わせ、複数のチップの中のうちの1つのチップと外部端子が接続される電気経路を形成し、各チップ毎の駆動を可能としたことを特徴とするマルチチップモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、2個以上のチップを1つのパッケージにケーシングしてなるマルチチップモジュールに関する。

【0002】

【従来の技術】 マルチチップモジュール（以下、MCMと称す）は、2個以上のチップを1つのパッケージにケーシングしてなるもので、パッケージ内にてチップ間もしくは外部I/Oとチップ間を接続してある。

【0003】

【発明が解決しようとする課題】 しかしながら、上述した従来のMCMであると、パッケージ内でチップ間もしくは外部I/Oとチップ間が接続してあるので、一度ケーシングしてしまうと、チップ単体レベルでの正常性を確認できないという問題がある。

【0004】

【課題を解決するための手段】 上述した課題を解決するため、本発明は、2個以上のチップを1つのパッケージにケーシングしてなるマルチチップモジュールにおいて、各チップ間および各チップと外部端子の間にスイッチを設け、前記スイッチ群のオンおよびオフの組み合わせで各チップ間および各チップと外部端子の間を接続することを特徴とする。

【0005】

【発明の実施の形態】 図1は本発明のマルチチップモジュールの第1の実施の形態を示すブロック図である。図において、1～3はチップで、3個のチップがパッケージ内にケーシングされる。

【0006】 1a、1b、1cはチップ1のI/O、2a、2bはチップ2のI/O、3a、3b、3cはチップ3のI/Oである。4～8はスイッチであり、これらスイッチ群のオンおよびオフの組み合わせで、外部I/O9a、9bと各チップのI/O間および各チップ間のI/O同士を所望の経路で接続できるようになっている。

【0007】 外部I/O9aはスイッチ4に接続され

る。また、チップ1のI/O1aもスイッチ4に接続される。チップ1のI/O1bはスイッチ5に接続され、チップ1のI/O1cはスイッチ6に接続される。チップ2のI/O2aはスイッチ5に接続され、チップ2のI/O2bはスイッチ7に接続される。

【0008】 チップ3のI/O3aはスイッチ6に接続され、チップ3のI/O3bはスイッチ7に接続され、チップ3のI/O3cはスイッチ8に接続される。そして、外部I/O9bはスイッチ8に接続される。さらに、スイッチ4とスイッチ5の間、スイッチ5とスイッチ6とスイッチ7の間、スイッチ7とスイッチ8の間に接続される。

【0009】 次に、図1で説明したMCMの動作を説明する。図2はMCMのチップ間の接続の一例を示すブロック図であり、図1で説明したMCMでこの接続を実現するためには、スイッチ4で外部I/O9aとチップ1のI/O1aを接続し、スイッチ5でチップ1のI/O1bとチップ2のI/O2aを接続し、スイッチ6でチップ1のI/O1cとチップ3のI/O3aを接続し、スイッチ7でチップ2のI/O2bとチップ3のI/O3bを接続し、スイッチ8でチップ3のI/O3cと外部I/O9bとを接続する。

【0010】 これにより、図1で説明したMCMに、図2に示すMCMの機能を持たせることができる。次に、チップ単体レベルで正常性を確認する場合の接続について説明する。例えば、チップ2の正常性を確認する場合、スイッチ4で外部I/O9aとスイッチ5を接続し、かつ、スイッチ5でスイッチ4とチップ2のI/O2aを接続する。また、スイッチ8で外部I/O9bとスイッチ7を接続し、かつ、スイッチ7でスイッチ8とチップ2のI/O2bを接続する。これにより、外部I/O9aとチップ2のI/O2aが接続されるとともに、外部I/O9bとチップ2のI/O2bが接続されることになり、チップ2に対して外部I/Oより直接アクセスして、チップ2の正常性を確認できる。

【0011】 チップ1においてI/O1aとI/O1bの間の正常性を確認する場合、スイッチ4で外部I/O9aとチップ1のI/O1aを接続し、スイッチ5でチップ1のI/O1bとスイッチ7を接続し、スイッチ7でスイッチ5とスイッチ8を接続し、スイッチ8で外部I/O9bとスイッチ7を接続する。これにより、外部I/O9aとチップ1のI/O1aが接続されるとともに、外部I/O9bとチップ1のI/O1bが接続されることになり、チップ1のI/O1aとI/O1bに対して外部I/Oより直接アクセスして、チップ1の正常性を確認できる。

【0012】 チップ1においてI/O1bとI/O1cの間の正常性を確認する場合、スイッチ4で外部I/O9aとスイッチ5を接続し、スイッチ5でスイッチ4とチップ1のI/O1bを接続する。また、スイッチ6で

チップ1のI/O1cとスイッチ7を接続し、スイッチ7でスイッチ6とスイッチ8を接続し、スイッチ8で外部I/O9bとスイッチ7を接続する。これにより、外部I/O9aとチップ1のI/O1bが接続されるとともに、外部I/O9bとチップ1のI/O1cが接続されることになり、チップ1のI/O1bとI/O1cに対して外部I/Oより直接アクセスして、チップ1の正常性を確認できる。

【0013】チップ1においてI/O1aとI/O1cの間の正常性を確認する場合、スイッチ4で外部I/O9aとチップ1のI/O1aを接続する。また、スイッチ6でチップ1のI/O1cとスイッチ7を接続し、スイッチ7でスイッチ6とスイッチ8を接続し、スイッチ8で外部I/O9bとスイッチ7を接続する。これにより、外部I/O9aとチップ1のI/O1aが接続されるとともに、外部I/O9bとチップ1のI/O1cが接続されることになり、チップ1のI/O1aとI/O1cに対して外部I/Oより直接アクセスして、チップ1の正常性を確認できる。

【0014】チップ3においてI/O3aとI/O3bの間の正常性を確認する場合、スイッチ4で外部I/O9aとスイッチ5を接続し、スイッチ5でスイッチ4とスイッチ6を接続し、スイッチ6でスイッチ5とチップ3のI/O3aを接続する。また、スイッチ7でチップ3のI/O3bとスイッチ8を接続し、スイッチ8で外部I/O9bとスイッチ7を接続する。これにより、外部I/O9aとチップ3のI/O3aが接続されるとともに、外部I/O9bとチップ3のI/O3bが接続されることになり、チップ3のI/O3aとI/O3bに対して外部I/Oより直接アクセスして、チップ3の正常性を確認できる。

【0015】チップ3においてI/O3bとI/O3cの間の正常性を確認する場合、スイッチ4で外部I/O9aとスイッチ5を接続し、スイッチ5でスイッチ4とスイッチ7を接続し、スイッチ7でスイッチ5とチップ3のI/O3bを接続する。また、スイッチ8で外部I/O9bとチップ3のI/O3cを接続する。これにより、外部I/O9aとチップ3のI/O3bが接続されるとともに、外部I/O9bとチップ3のI/O3cが接続されることになり、チップ3のI/O3bとI/O3cに対して外部I/Oより直接アクセスして、チップ3の正常性を確認できる。

【0016】チップ3においてI/O3aとI/O3cの間の正常性を確認する場合、スイッチ4で外部I/O9aとスイッチ5を接続し、スイッチ5でスイッチ4とスイッチ6を接続し、スイッチ6でスイッチ5とチップ3のI/O3aを接続する。また、スイッチ8で外部I/O9bとチップ3のI/O3cを接続する。これにより、外部I/O9aとチップ3のI/O3aが接続されるとともに、外部I/O9bとチップ3のI/O3cが

接続されることになり、チップ3のI/O3aとI/O3cに対して外部I/Oより直接アクセスして、チップ3の正常性を確認できる。

【0017】以上説明したように、本発明の第1の実施の形態では、チップとチップの間、およびチップと外部I/Oとの間にスイッチを設け、スイッチによる接続変更を行うことにより、各チップ単体で外部I/Oに接続でき、各チップに外部I/Oより直接アクセスできる。これにより、チップ単体レベルで正常性を確認できる。

【0018】このことから、MCMでのテストとしては、各チップ単体における試験を行った後、複数のチップを搭載、ボンディングしてMCMを作成し、MCMとしての総合試験を行っていた行程を、複数のチップを搭載、ボンディングしてMCMを作成し、MCMとしての総合試験を行い、異常が発生した場合のみ、MCM上で上述したようにチップ単体での試験を行うことにより、行程の削減およびチップ単体で試験を行うためのソケットが不要となり、設備の削減が可能である。

【0019】ここで、図1で説明したように、チップとチップの間、およびチップと外部I/Oとの間にスイッチを設けることで、MCM作成後、チップ間接続および外部への入出力を変更することができる。これにより、1種類のMCMで複数の機能を実現できるので、作成するMCMの種類を減らすことができ、コストを抑えることができる。

【0020】図3は本発明のマルチチップモジュールの第2の実施の形態を示すブロック図である。図において、1～3はチップで、3個のチップがパッケージ4内にケーシングされる。1a, 1b, 1cはチップ1のI/O、2a, 2b, 2cはチップ2のI/O、3a, 3bはチップ3のI/Oである。

【0021】9a₀～a₉、9b₀～b₉は外部I/Oである。10はスイッチ素子で、このスイッチ素子10のI/Oと、各チップのI/Oおよび外部I/Oを1対1で接続してある。そして、スイッチ素子10の動作で、外部I/Oと各チップのI/O間および各チップ間のI/O同士を所望の経路で接続できるようになっている。

【0022】ここで、接続経路の例については、図1で説明したものと同様であるので、ここでは説明を省略する。以上説明したように、本発明の第2の実施の形態では、チップとチップの間、およびチップと外部I/Oとの間にスイッチ素子を設け、スイッチ素子の動作により接続変更を行って各チップ単体で外部I/Oと接続したり、チップ間接続および外部への入出力を変更することができる。

【0023】このとき、スイッチ素子を用いることで、I/Oの数が多くても対応可能である。なお、図3の実施の形態では、スイッチ素子を用いたが、スイッチ素子の代わりにプログラマブルゲートアレイを用いることも

できる。

【0024】

【発明の効果】以上説明したように、本発明は、複数のチップを搭載してなるマルチチップモジュールにおいて、各チップ間および各チップと外部端子の間にスイッチを設け、前記スイッチ群のオンおよびオフの組み合わせで各チップ間および各チップと外部端子の間を接続することとしたもので、スイッチによる接続変更で、各チップ単体で外部端子と接続することができ、これにより、チップ単体レベルで正常性を確認できるという効果を有する。

【0025】また、マルチチップモジュール作成後にチップ間接続および外部への入出力を変更することができるので、1種類のマルチチップモジュールに複数の機能を

を持たせることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明のマルチチップモジュールの第1の実施の形態を示すブロック図

【図2】チップ間の接続の一例を示すブロック図

【図3】本発明のマルチチップモジュールの第2の実施の形態を示すブロック図

【符号の説明】

1～3 チップ

1a～1c I/O

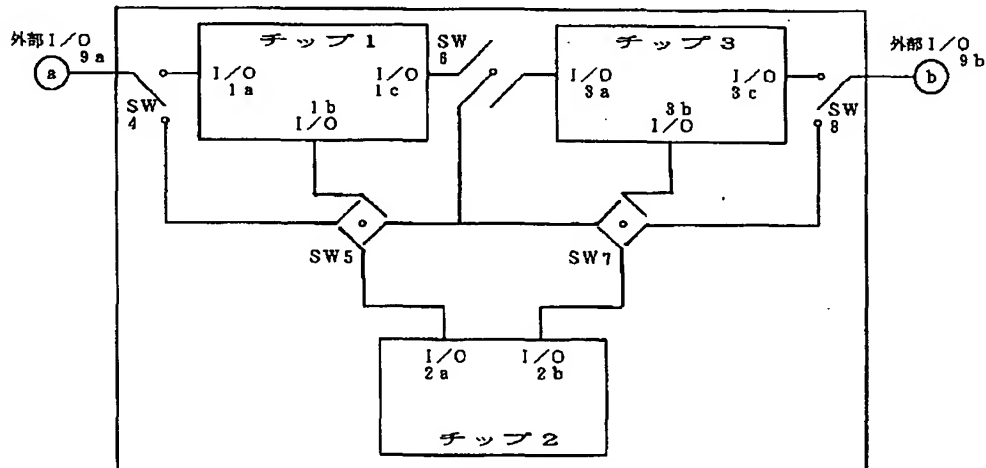
2a, 2b I/O

3a～3c I/O

4～8 スイッチ

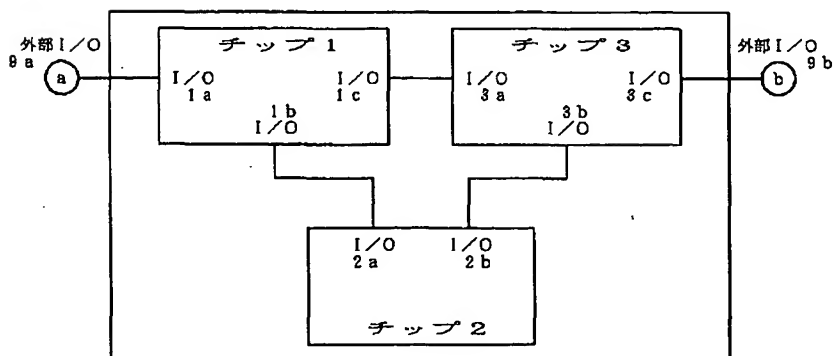
9a, 9b 外部I/O

【図1】



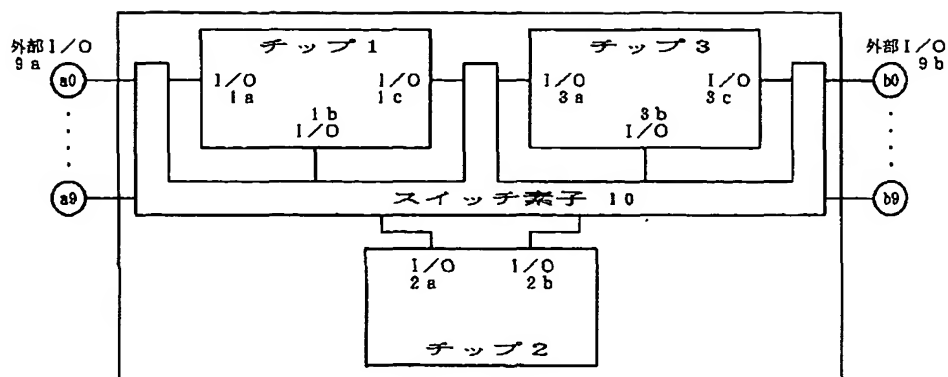
本発明のマルチチップモジュールの第1の実施の形態を示すブロック図

【図2】



チップ間の接続の一例を示すブロック図

【図 3】



本発明のマルチチップモジュールの第 2 の実施の形態を示すブロック図

